

PAT-NO: JP404171845A

DOCUMENT-IDENTIFIER: JP 04171845 A

TITLE: WIRING STRUCTURE AND MANUFACTURE
THEREOF

PUBN-DATE: June 19, 1992

INVENTOR-INFORMATION:

NAME

HIRANO, MAKOTO
ASAI, KAZUYOSHI
IMAI, YUUKI

ASSIGNEE-INFORMATION:

NAME

NIPPON TELEGR & TELEPH CORP <NTT>

COUNTRY

N/A

APPL-NO: JP02299499

APPL-DATE: November 5, 1990

INT-CL (IPC): H01L021/90

ABSTRACT:

PURPOSE: To increase the number of layers of a wiring up to three or more while the parasitic capacitance of an air-bridge wiring is maintained in a comparatively small state and to make possible the formation of a circuit of a large degree of freedom of design by a method wherein multilayer wirings of the air-bridge wiring are formed changing the heights of their bridges and at the

same time, a multitude of the air-bridge wirings, whose heights are different from each other, are made to cross in the air.

CONSTITUTION: The structure of an air-bridge wiring consists of a substrate 1, a lower layer (first) conductive film wiring 2 and an upper layer conductive film wiring 4 developed by this invention and the height (h) of a bridge is a high height of 5 to 20 μ m or thereabouts. Accordingly, the parasitic capacitance of the wiring is also reduced by the amount of the large interval between the wiring and a base and the improvement of the performance of a FET for high-frequency amplification use can be contrived by using the wiring for the use of the connection part of a finger or the like in the FET. Moreover, a multitude of air-bridge wirings, whose heights are different from each other, of a two-layer conductive film wiring 3 and a two-layer conductive film wiring 5 developed by this invention or two-layer conductive film wirings 6 and 7 developed by this invention are made to cross by the air-bridge wiring, the height of the bridge of which is high, and the formation of wirings of three layers or more is performed. Thereby, the degree of freedom of the design of a circuit, which has been hitherto damaged greatly by a wiring limited to two layers, is increased and the structure of the air-bridge wiring can be contributed to the integration of a semiconductor circuit, an increase in the density of the circuit and the improvement of the performance of the circuit.

COPYRIGHT: (C)1992, JPO&Japio

⑫ 公開特許公報(A) 平4-171845

⑬ Int.Cl.⁵
H 01 L 21/90

識別記号 庁内整理番号
N 7353-4M

⑭ 公開 平成4年(1992)6月19日

審査請求 未請求 請求項の数 2 (全9頁)

⑮ 発明の名称 配線構造およびその製法

⑯ 特 願 平2-299499

⑰ 出 願 平2(1990)11月5日

⑱ 発 明 者 平 野 真 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内
⑱ 発 明 者 浅 井 和 義 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内
⑱ 発 明 者 今 井 祐 記 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内
⑲ 出 願 人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号
⑳ 代 理 人 弁理士 玉蟲 久五郎

明 細 書

1. 発明の名称

配線構造およびその製法

2. 特許請求の範囲

(1) 配線を空中にブリッジ状に配置するエアー・ブリッジ配線において、多層の配線を、ブリッジの高さを変えて形成すること、ないし同時に高さの異なる多数のエアー・ブリッジ配線を空中で交差させることを特徴とする配線構造。

(2) エアー・ブリッジ形成する際に、ブリッジ配線の下敷きとしてブリッジ形成後に取除く絶縁膜として、厚さ5～20 μ mの厚膜フォト・レジストを用いることを特徴とする配線の製法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、通信用混成IC等の半導体集積回路の配線構造およびその製法に関するものである。

〔従来の技術〕

従来、通信用混成IC等の半導体集積回路の配線においては、特に2層配線の交差技術として、下層の配線との交差部分をあらかじめフォト・レジスト等の絶縁膜で覆い、その上に、スパッターや電子ビーム蒸着ないしメッキなどによって金などの導電膜による配線を形成した後、前記フォト・レジスト等の絶縁膜を取除くことによって、配線を空中にブリッジ状に形成する、いわゆるエアー・ブリッジ配線が、よく用いられている。特に、エアー・ブリッジ配線では、上層と下層の配線間にSiO₂やSiN等の層間絶縁膜を配する配線法よりも、配線の寄生容量を小さくできるという特徴がある。従って、高周波増幅用のFETのフィンガー間接続や、高周波用スパイラル・インダクターの中心部からの引出し配線をはじめ、通信用混成IC等の半導体集積回路では、エアー・ブリッジ配線が数多く用いられている。

しかし、従来のエアー・ブリッジ配線では、ブリッジの高さは1～3 μ m程度と固定されていた

ため、交差できる配線の層数も2層までと限られていた。

このため、回路設計の自由度も制約を受けていた。

〔発明が解決しようとする課題〕

本発明の目的は、通信用混成GaAsIC等の半導体集積回路において、寄生容量の小さな3層以上の多層配線を提供し、これによって自由度の大きな回路形成を可能にする配線構造及びその製法を提供するものである。

〔課題を解決するための手段〕

本発明は、エアー・ブリッジ形成する際に、ブリッジ配線の下敷きとしてブリッジ形成後に取除く絶縁膜として、厚さ5～20 μ m程度の厚膜フォトリソグレイムないしポリイミド膜を用い、形成できるブリッジの高さを5～20 μ m程度と大きくすること、またこのことによって従来の技術で形成した低いエアー・ブリッジのさらに上に別の

ブリッジ配線において、多層の配線を、ブリッジの高さを変えて形成すること、ないし同時に高さの異なる多数のエアー・ブリッジ配線を空中で交差させることを特徴とする配線構造としての構成を有するものであり、或いはまた

エアー・ブリッジ形成する際に、ブリッジ配線の下敷きとしてブリッジ形成後に取除く絶縁膜として、厚さ5～20 μ mの厚膜フォトリソグレイムを用いることを特徴とする配線の製法としての構成を有するものである。

〔実施例〕

以下、実施例を用いて、本発明による配線の構造および製法を説明する。

まず第5図に、従来のエアー・ブリッジ配線の構造例を示した。第5図において、1は基板、2は下層(第1)の導電膜配線、3は上層の導電膜配線である。

ブリッジの高さ(図中h)は、通常1～3 μ m程度であるため、交差できる配線の層数は2に限ら

ブリッジを形成すること、あるいは、この他の種々の厚みのフォトリソグレイムないしポリイミド膜を用いることによって、種々の高さのブリッジを形成し、こうして形成した高さの異なる種々のブリッジを互いに交差させたりすることによって、寄生容量を比較的小さな状態を維持しつつ、配線の層数を3層以上にするものである。このことによって、通信用混成GaAsIC等の半導体集積回路の設計の自由度を大きくすることができる。

なお、この配線の製法として、厚さ5～20 μ m程度の厚膜フォトリソグレイムないしポリイミド膜を用いれば、SiN、SiO₂などのCVD絶縁膜を用いてドライ・エッチングなどによって加工する場合に比べて、製作が簡便で、なおかつ、断線に強いなだらかなブリッジ形成(フォトリソグレイムないしポリイミド膜をベークングすることにより、断面形状を容易になだらかなものに行うことができる)が可能になる。従って、本発明の構成は下記に示す通りである。即ち、本発明は

配線を空中にブリッジ状に配置するエアー・ブ

れる。

これに対して、本発明による、配線の構造を第1図の実施例にて説明する。第1図において、1は基板、2は下層(第1)の導電膜配線、4は本発明による上層の導電膜配線である。

〔実施例1〕

第1図は、本発明による、エアー・ブリッジ配線の構造例で、ブリッジの高さ(図中h)が、5～20 μ m程度と大きい。

このため、配線の寄生容量も、下地との間隔が大きい分だけ小さくなり、高周波増幅用FETではフィンガー接続部分などに用いることによって性能向上をはかることができる。

〔実施例2〕

第2図は、第1図に示した本発明による、ブリッジの高さが高いエアー・ブリッジ配線によって、多数の高さの異なるブリッジ3、5或いは6、7を交差させ、3層以上の配線形成を行った例である。第2図において、1は基板、2は下層(第1)の導電膜配線、3は上層の導電膜配線、5、6

、7は本発明による上層の導電膜配線である。

このことによって、従来、2層までの配線で大きく損なわれていた回路設計の自由度が増し、半導体回路の集積化・高密度化・性能向上に寄与できる。

次に、エアー・ブリッジ形成する際に、ブリッジ配線の下敷きとしてブリッジ形成後に、取除く絶縁膜として、厚さ5～20 μ mの厚膜フォトリソを用いる配線の製法例について説明する。

第3図(a)～(e)は、本発明による、配線の製作工程例を示したものである。第3図において、1は基板、2は下層(第1)の導電膜配線、8は第1の厚膜フォトリソ、9は第2の導電膜(メッキ電極用)、10は第2の厚膜フォトリソ、11は第2の厚膜フォトリソ中の穴ボタン、12は金(メッキ形成)である。以下第3図(a)～(e)を参照して以下に製造工程を説明する。

(a) ボタン化された第1の導体配線2をリフトオフないしイオンミリングで形成する。

法を用いて金12を厚く成長させ、

(e) この後、第2のフォトリソ10および第2の導電膜9の配線以外の部分、第1のフォトリソ8を、ドライエッチングやイオン・ミリング等のプロセス技術を用いて除去する。続いて、レジスト形成後前述の(a)～(e)の工程を繰り返すことによって3層以上のエアー・ブリッジ配線が形成できる。なお、(b)にて述べたメッキ用マスクとしては、フォトリソ以外にも、 SiO_2 や SiN およびポリイミドなどの絶縁膜をボタン形成して用いることも可能である。

第4図(a)～(d)は、本発明による、配線の別の製作工程例を示したものである。第4図において、1は基板、2は下層(第1)の導電膜配線、8は第1の厚膜フォトリソ、13は第2の導電膜(配線厚)、14は第2の厚膜フォトリソ(配線部が島のボタン)である。

第4図(a)～(b)の製作工程は、第3図(a)～(b)における製作工程と同様である。従って、以下第4図(c)、(d)について詳述する。

(b) 第1の厚膜フォトリソ8で、後から形成するブリッジの下になる部分が覆われるように、ボタン形成する。この時のフォトリソとしては、例えばシブレイ社のTF-20等の厚膜レジストを用いることによって、5～20 μ mの厚みを持たせることができ、またボタン形成後に、電気炉などによって120℃前後ないしそれ以上の温度でベーキングすることによって、断面形状をなだらかなものにすることができる。

(c) 全面に第2の導電膜9を付着させ、この上に第2のフォトリソ10で第1の導体配線2のコンタクト部分およびブリッジ配線ボタンが露出するように穴ボタン11を形成する。この時のフォトリソとしても、例えばシブレイ社のTF-20等の厚膜レジストを用いることによって、下地の段差の影響を受け難く、また5～20 μ mの厚みを持たせることができ、メッキ法を用いて形成する金の厚みを同程度とすることができる。

(d) このレジストの穴11の中に、電解メッキ

(c) 全面に第2の導電膜13をスパッター法ないし電子ビーム蒸着法を用いて配線の厚みだけ付着させ、この上に第2のフォトリソ14で配線ボタンを形成する。

この時のフォトリソとしても、例えばシブレイ社のTF-20等の厚膜レジストを用いることによって、下地の段差の影響を受け難くできる。

(d) 第2のフォトリソ14をマスクとして、第2の導電膜13の配線以外の部分、第1のフォトリソ8を、ドライエッチングやイオン・ミリング等の技術を用いて除去する。続いて、レジスト形成後前述の(a)～(d)の工程を繰り返すことによって3層以上のエアー・ブリッジ配線が形成できる。

(発明の効果)

本発明は、3層以上の多層配線の寄生容量を小さく実現でき、回路設計の自由度を大きくできる。

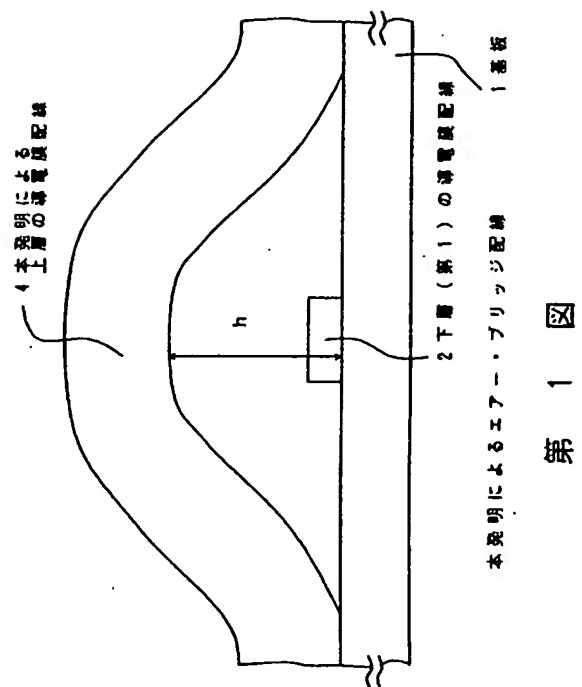
4. 図面の簡単な説明

第1図は、本発明による、エアー・ブリッジ配線、第2図は、本発明による、エアー・ブリッジ配線を用いた多層配線の交差例、第3図(a)~(e)は、本発明による、エアー・ブリッジ配線の製作工程例であり、(a)は第1の導体配線パタンの形成工程図(リフトオフないしイオンミリング技術を用いる)、(b)は第1の厚膜レジストによるフォトリソグラフィおよびベーキング工程図、(c)は第2の導体膜の付着(全面)と、第2の厚膜レジストによるフォトリソグラフィ工程図(ブリッジ・ボタンが穴となるようにレジスト・ボタンを形成)(d)は電解メッキ法による金成長工程図、(e)はフォトリソレジストおよび第2の導体膜の金メッキ以外の部分を、ドライエッチングやイオン・ミリング等により除去する工程図、にそれぞれ対応している。第4図(a)~(d)は、本発明による、エアー・ブリッジ配線の別の製作工程例であり、(a)は第1の導体配線パタンの形成工程図(リフトオフないしイオンミリング)、(

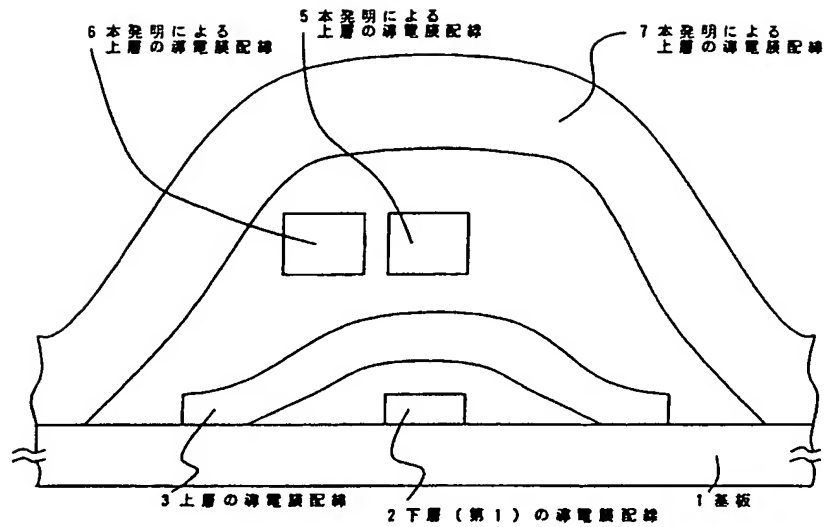
b)は第1の厚膜レジストによるフォトリソグラフィおよびベーキング工程図、(c)は第2の導体膜(配線厚)の付着(全面)と、第2の厚膜レジストによるフォトリソグラフィ工程図(ブリッジ・ボタンが島となるようレジスト・ボタン形成)、(d)は第2の導体膜の配線以外の部分およびフォトリソレジストを、イオン・ミリングやドライエッチング等により除去する工程図にそれぞれが対応している。第5図は、従来の、エアー・ブリッジ配線である。

- 1…基板
- 2…下層(第1)の導電膜配線
- 3…上層の導電膜配線
- 4~7…本発明による上層の導電膜配線
- 8…第1の厚膜フォトリソレジスト
- 9…第2の導電膜(メッキ電極用)
- 10…第2の厚膜フォトリソレジスト
- 11…第2の厚膜フォトリソレジスト中の穴ボタン
- 12…金(メッキ形成)
- 13…第2の導電膜(配線厚)

14…第2の厚膜フォトリソレジスト(配線部が島のボタン)

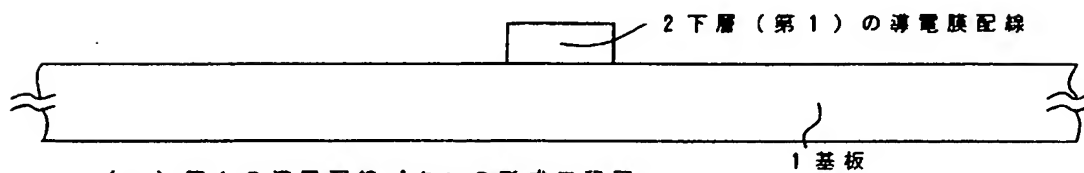


特許出願人 日本電信電話株式会社
代理人 井理士 玉島 久五郎

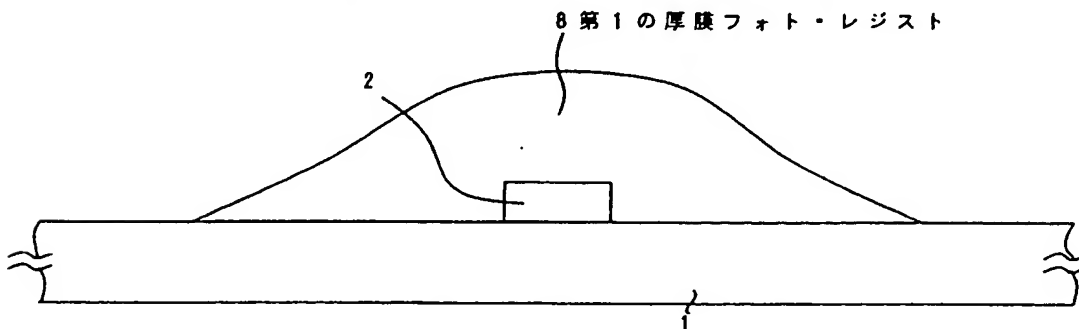


本発明によるエアー・ブリッジ配線を用いた多層配線の文座例

第 2 図



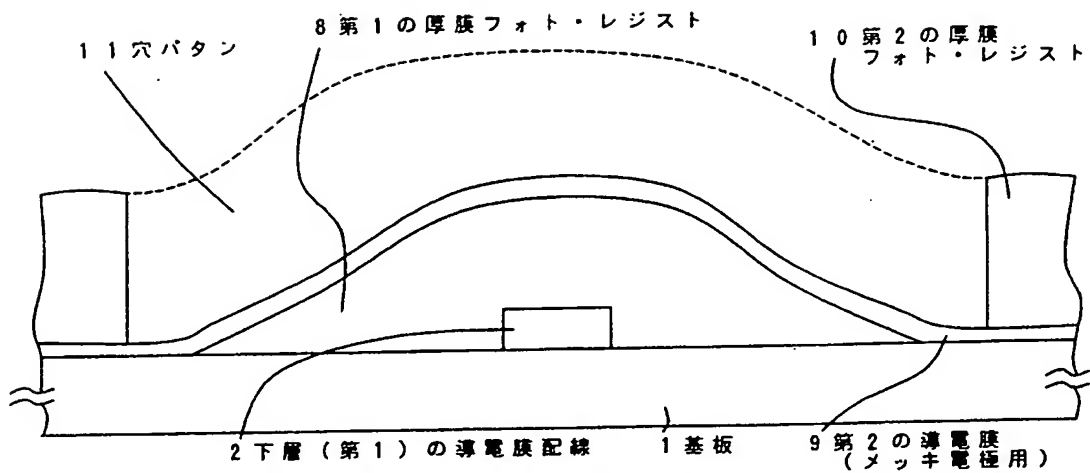
(a) 第1の導電配線パタンの形成工程図
(リフトオフないしイオンミリング技術を用いる)



(b) 第1の厚膜レジストによるフォトリソグラフィ
およびエッチング工程図

本発明によるエアー・ブリッジ配線の製作工程例

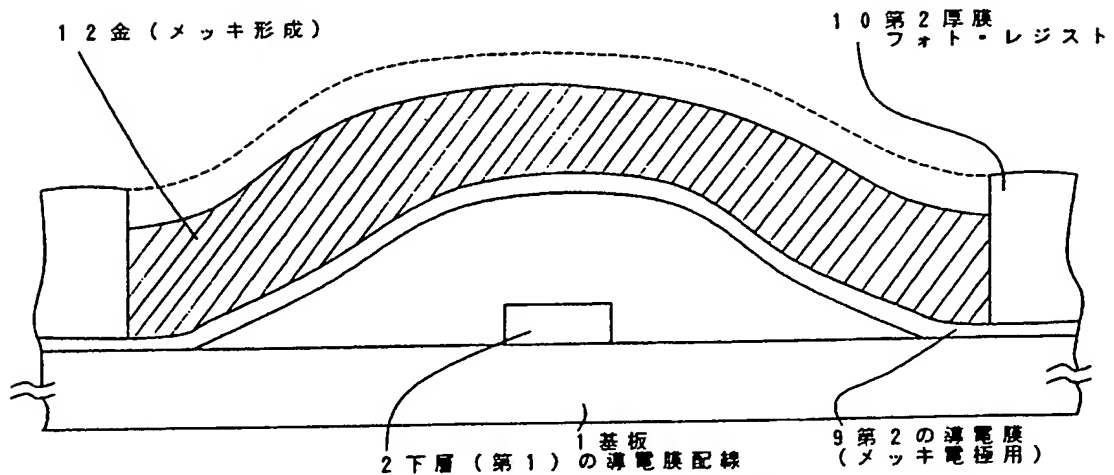
第 3 図



(c) 第2の導電膜の付着(全面)と、第2の厚膜レジストによるフォトソングラフ・パターン(ブリッジ・ボタンが穴となるようにレジスト・パターンを形成)

本発明によるエアー・ブリッジ配線の製作工程例

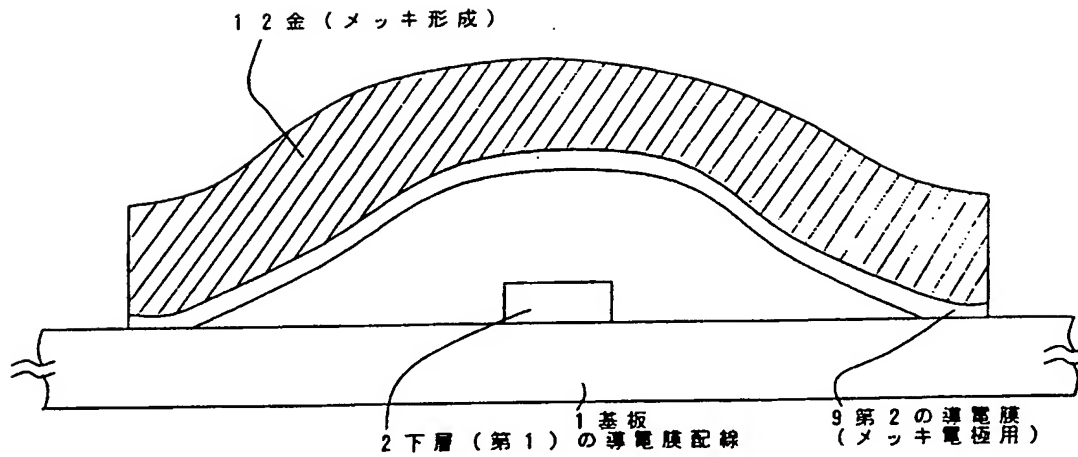
第 3 図



(d) 電解メッキ法による金成長工程図

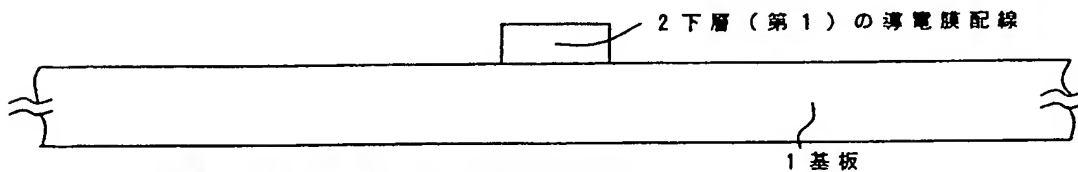
本発明によるエアー・ブリッジ配線の製作工程例

第 3 図

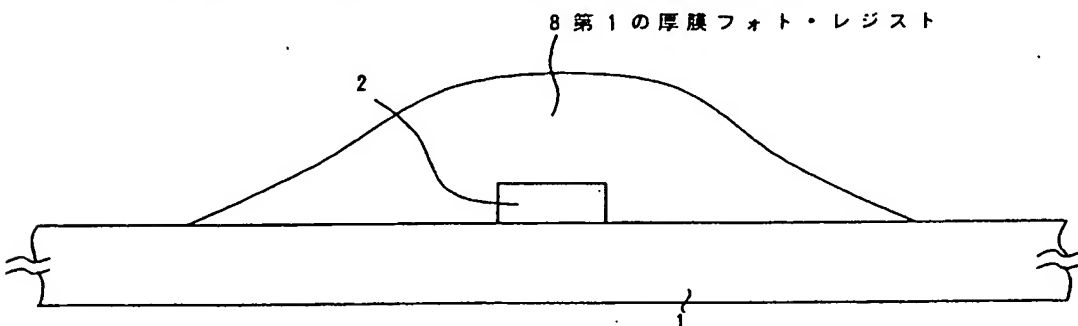


(e) フォト・レジストおよび第2の導電膜の金メッキ以外の部分を、ドライエッチングやイオン・ミリング等により除去する工程図
本発明によるエア・ブリッジ配線の製作工程例

第 3 図



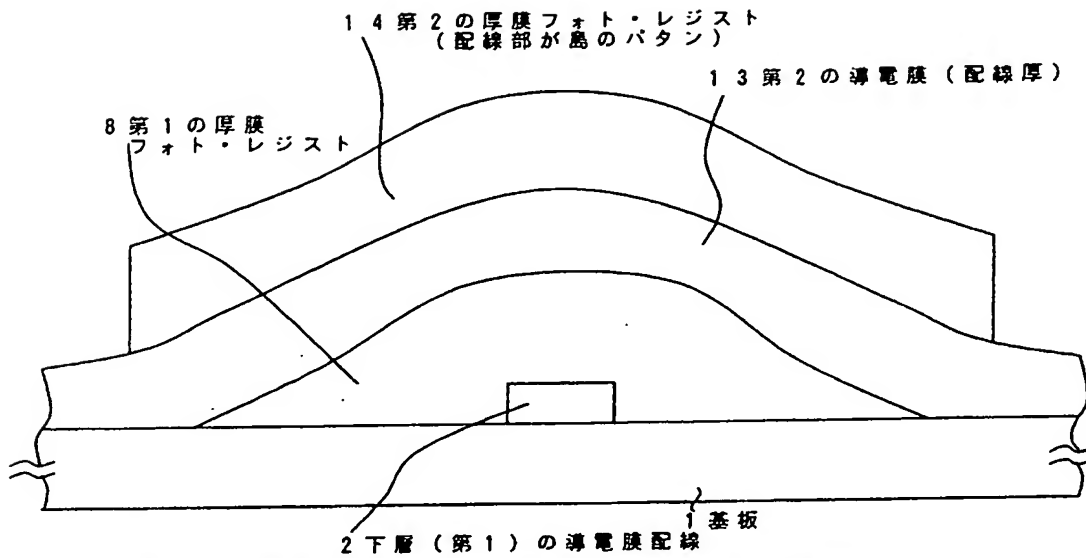
(a) 第1の導電配線パタンの形成工程図
(リフトオフないしイオンミリング技術を用いる)



(b) 第1の厚膜レジストによるフォト・リソグラフィおよびベーク工程図

本発明によるエア・ブリッジ配線の別の製作工程例

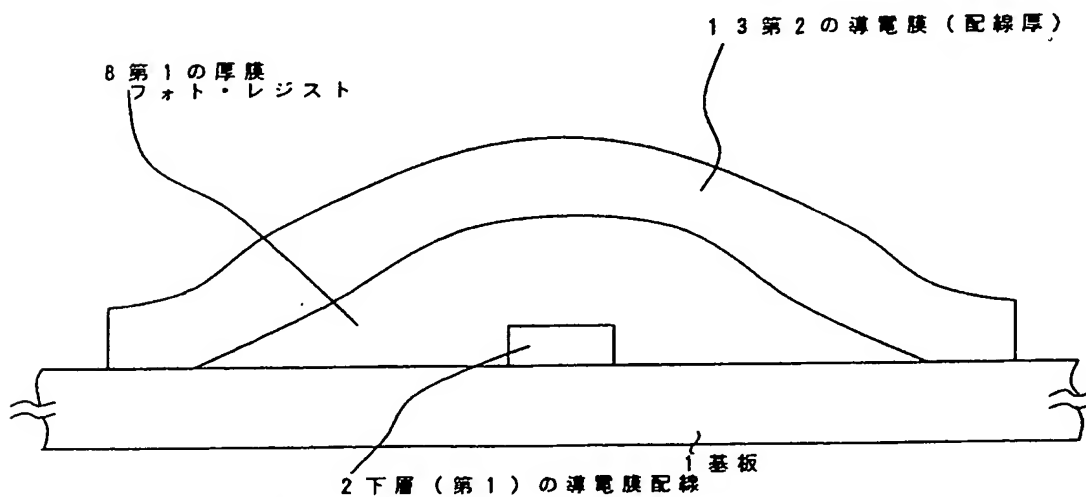
第 4 図



(c) 第2の導電膜(配線厚)の付着(全面)と、第2の厚膜レジストによるフォトリソグレイ工程図(ブリッジ・パターンが島となるようレジスト・パターン形成)

本発明によるエアー・ブリッジ配線の別の製作工程例

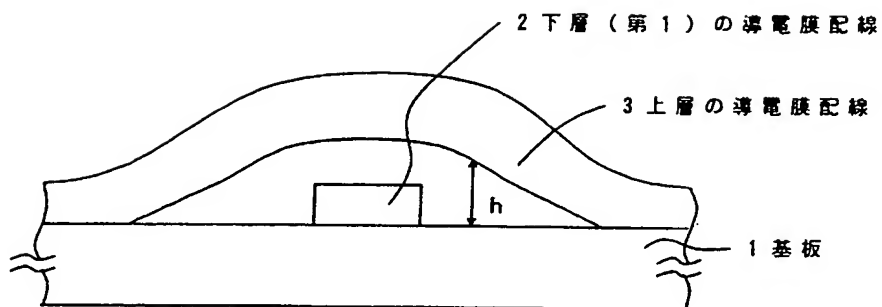
第 4 図



(d) 第2の導電膜の配線以外の部分およびフォトリソグレイを、イオン・ミリングやドライエッチング等により除去する工程図

本発明によるエアー・ブリッジ配線の別の製作工程例

第 4 図



従来のエアー・ブリッジ配線

第 5 図